

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup>	(11) 공개번호	특2000-0003572
H01L 27/04	(43) 공개일자	2000년01월 15일

(21) 출원번호	10-1998-0024832
(22) 출원일자	1998년06월 29일
(71) 출원인	현대전자산업 주식회사
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 오영남 경기도 이천시 대월면 사동리 441-1번지 현대전자 아파트 111-603 이중섭 경기도 광주군 광주읍 송정1리 108-25 (74) 대리인 이정훈, 이권희

심사청구 : 있음

## (54) 내부전압 강화회로

### 요약

본 발명은 퓨즈 블로잉하기 전에 미리 퓨즈 프로그램된 기준전압을 변화시켜 최종 출력인 내부전원전압의 전위를 미리 측정하고 후에 최적의 내부전원전압 전위를 선택하기 위해 퓨즈 프로그램할 때 퓨즈 블로잉정보를 제공하도록 된 내부전압 강화회로를 제공하기 위한 것이다.

이를 위해 본 발명은, 퓨즈 블로잉전에 기설정된 기준전압의 변화에 따른 레벨보상된 최적의 기준전압을 가변적으로 발생하는 기준전압 발생수단과, 상기 기준전압 발생수단으로부터의 기준전압을 입력받아 현재 설정되는 정상모드 또는 스트레스모드에 대한 전압으로 변환시키는 기준전압 변환수단 및, 상기 기준전압 변환수단으로부터의 신호를 내부전원전압으로 하여 내부회로로 제공하는 드라이버수단을 구비함으로써, 내부전원전압의 변화에 대응하는 안정된 전압을 퓨즈 블로잉전에 찾을 수 있고, 그 측정된 결과를 이용하여 기준전압 전위조정 퓨즈 블로잉을 실현할 수 있으며, 결과적으로 내부전원전압 레벨조정 테스트를 정확하게 행할 수 있을 뿐만 아니라 테스트시간을 줄이게 된다.

### 대표도

### 도2

### 명세서

#### 도면의 간단한 설명

도 1은 종래의 내부전압 강화회로의 구성을 나타낸 블록도,  
도 2는 본 발명의 실시예에 따른 내부전압 강화회로의 블록도,  
도 3은 도 2에 도시된 기준전압 발생부의 내부회로도,  
도 4는 도 3에 도시된 모드 디코더의 내부회로도이다.

< 도면의 주요부분에 대한 부호의 설명>

10 : 기준전압 발생부	20 : 기준전압 변환부
30 : 드라이버부	40 : 내부회로
50 : 기준전압 발생부	

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억소자의 내부전압 강화회로에 관한 것으로, 보다 상세하게는 내부전원전압 전위조절을 위해 삽입되는 퓨즈 프로그램을 퓨즈 블로잉없이 장착된 패드신호에 의해 테스트할 수 있도록 한 내부전압 강화회로에 관한 것이다.

종래의 내부전압 강화회로는 도 1에 도시된 바와 같이 기준전압 발생부(10)와 기준전압 변환부(20) 및

드라이버부(30)로 구성되고, 종래의 내부전압 강하회로의 출력신호(Vint)는 내부 회로(40)에 전원전압으로 사용된다. 상기 기준전압 발생부(10)의 출력신호(VR2)는 상기 기준전압 변환부(20)의 제 1비교기(21)의 제 1입력단으로 입력되고, 그 기준전압 변환부(20)의 출력신호(VR)는 드라이버부(30)의 최종비교전압으로 사용된다.

상기 기준전압 발생부(10)에서 기준전압 발생기(11)는 외부전압의 변동에도 불구하고 안정된 전압(VR1)을 출력하는데, 통상적으로 밴드갭(Bandgap) 기준전압 발생기 또는 위들러 전류소오스(Widlar Current Source) 형태가 많이 쓰이고 있다.

상기 기준전압 발생기(11)의 출력전압(VR1)은 상기 기준전압 발생부(10)의 또다른 구성요소인 전압 증폭기(16)의 제 1비교기(12)의 제 1입력단으로 입력되고, 상기 기준전압 발생부(10)의 출력전압(VR2)이 고정저항(14, 15)으로 이루어진 전압분배기에 의해 소정의 전압(Va)으로 분배되어 상기 제 1비교기(12)의 제 2입력단으로 입력된다. 상기 제 1비교기(12)의 출력단자에 접속된 제 1전류 드라이버(13)에서는 전압 강하된 기준전압(VR2)을 출력한다.

상기 저항(15)은 퓨즈 프로그램에 대응하는 단일의 저항값을 제공하는 고정저항이다.

상기 기준전압 변환부(20)에서는 정상모드의 동작 및 스트레스모드의 동작을 수행하게 되는데, 상기 기준전압 변환부(20)에서 정상모드의 동작시 사용되는 제 2비교기(21)의 제 1입력단에는 상기 기준전압 발생부(10)의 기준전압(VR2)이 입력되고, 그 제 2비교기(21)의 제 2입력단에는 출력전압(VR)이 피드백되며, 그 제 2비교기(21)의 출력단자에는 제 2전류 드라이버(22)가 접속되어 정상모드 동작에서의 출력전압(VR)을 생성한다.

상기 기준전압 변환부(20)에서 스트레스모드의 동작시 사용되는 제 3비교기(24)의 제 1입력단에는 바이어스 회로(23)로부터의 바이어스 전압(VST)이 입력되고, 그 제 3비교기(24)의 제 2입력단에는 출력전압(VR)이 피드백되며, 그 제 3비교기(24)의 출력단자에는 제 3전류 드라이버(25)가 접속되어 스트레스모드 동작에서의 출력전압(VR)을 생성한다. 상기 출력전압(VR)이 실리는 노드와 접지전압단 사이에는 전류 싱크(26)가 접속된다.

여기서, 상기 "정상모드의 동작시"라는 것은 "전원전압=3.3V± 10%"이고, 상기 "스트레스모드의 동작시"라는 것은 "전원전압>1.5× 3.3V"이상일 경우이다.

부연하여 설명하면, 정상모드의 동작시에는 제 2비교기(21)에 의해 제 2전류 드라이버(22)가 인에이블되고 제 3비교기(24)에 의해 제 3전류 드라이버(25)가 디스에이블되어 출력전압(VR)은 상기 기준전압 발생부(10)로부터의 기준전압(VR2)을 유지하게 되며, 스트레스모드의 동작시에는 제 2비교기(21)에 의해 제 2전류 드라이버(22)가 디스에이블되고 제 3비교기(24)에 의해 제 3전류 드라이버(25)가 인에이블되어 출력전압(VR)은 상기 바이어스 회로(23)로부터의 바이어스 전압(VST)을 유지하게 된다. 한편, 상기 바이어스 전압(VST)이 실리는 노드에는 바이어스 회로(23)와 풀다운 전류 싱크(27)가 각각 접속되어 상기 바이어스 전압(VST)은 "전원전압-nVt(n=2)"를 유지한다.

상기 드라이버부(30)는 내부회로(40)에서 각각의 동작상태에 따라 대응하는 전류를 공급하기 위해 사용되는데, 전원전압이 턴온되면 동작하는 대기 드라이버(31, 32, 35)와 활성모드시에만 인에이블 클럭(ACT)에 의해 구동하는 활성 드라이버(33, 34)로 구성된다. 대기 드라이버(31, 32, 35)는 내부전원전압(Vint)을 출력하는 노드와 접지전압단 사이에 풀다운 전류 싱크(35)가 접속되고, 그 구조는 전압 플로워(Voltage Follower)형태이다. 활성 드라이버(33, 34)도 역시 전압 플로워(Voltage Follower)형태이다.

내부회로(40)는 외부전원전압으로부터 소정치 전압강하된 내부전원전압(Vint)을 사용하는 온-칩 회로를 의미한다.

통상적으로, 상술한 내부전압 강하회로의 구성에 있어서 공정상 변화 또는 온칩회로 동작시 발생하는 노이즈는 내부전원전압의 레벨을 변화시키는데, 이러한 내부전원전압의 레벨 변화를 보상하기 위해서 최종전류 드라이버를 구동하기 위한 비교기의 기준전압을 생성할 때 퓨즈 프로그램을 이용하여 상술한 기준전압(VR2)을 조절한다.

여기서, 공정상의 변화는 문턱전압(Vt) 또는 포화전류(Ids) 등을 의미하고, 온칩회로 동작시 발생하는 노이즈는 센싱 또는 입출력회로에서 큰 전류흐름을 야기하는 전류 스파이크를 의미하며, 그 노이즈는 내부회로에 영향을 미쳐 기설정된 전압의 변화(즉, 기준전압의 전위변화)를 일으키게 된다.

상기와 같은 종래의 내부전압 강하회로에 있어서, 기준전압 발생부(10)의 저항(15)안에 내장된 퓨즈 프로그램을 하기 전에는 그 기준전압 발생부(10)에서 출력되는 기준전압(VR2)의 레벨변화 보상 및 테스트를 할 수 없고, 퓨즈 블로잉(fuse blowing)하기 위한 정보도 측정할 수 없는 문제가 발생된다.

#### 발명이 이루고자하는 기술적 과제

따라서 본 발명은 상술한 종래의 문제점을 해결하기 위해 이루어진 것으로, 퓨즈 블로잉하기 전에 미리 퓨즈 프로그램된 기준전압을 변화시켜 최종 출력인 내부전원전압의 전위를 미리 측정하고 후에 최적의 내부전원전압 전위를 셋팅하기 위해 퓨즈 프로그램할 때 퓨즈 블로잉정보를 제공하도록 된 내부전압 강하회로를 제공함에 그 목적이 있다.

상기한 목적을 달성하기 위해 본 발명의 바람직한 실시예에 따른 내부전압 강하회로는, 퓨즈 블로잉전에 기설정된 기준전압의 변화에 따른 레벨보상된 최적의 기준전압을 가변적으로 발생시키는 기준전압 발생수단과,

상기 기준전압 발생수단으로부터의 기준전압을 입력받아 현재 설정되는 정상모드 또는 스트레스모드에 대한 전압으로 변환시키는 기준전압 변환수단 및,

상기 기준전압 변환수단으로부터의 신호를 내부전원전압으로 하여 내부회로로 제공하는 드라이버수단을

구비하는 것을 특징으로 한다.

### 발명의 구성 및 작용

이하, 본 발명의 실시예에 대해 첨부된 도면을 참조하여 보다 상세히 설명한다.

도 2는 본 발명의 실시예에 따른 내부전압 강화회로의 블럭도로서, 도 1에서 설명한 부분과 동일한 구성 요소에 대해서는 참조부호를 동일하게 부여하면서 설명한다.

본 발명의 실시예는, 퓨즈 블로잉(fuse blowing)을 하기전에 기설정된 기준전압(VR2)에 변화가 발생함에 따른 변화된 레벨만큼 가변적으로 보상하여 최적의 기준전압을 발생하는 기준전압 발생부(50)와, 상기 기준전압 발생부(50)로부터의 기준전압(VR2)을 입력받아 내부적으로 설정되는 동작모드가 정상모드이면 그 기준전압(VR2)을 정상모드에 대한 전압으로 변환시키고 스트레스트모드로 설정되면 그 기준전압(VR2)을 스트레스트모드에 대한 전압으로 변환시키는 기준전압 변환부(20) 및, 상기 기준전압 변환부(20)로부터의 신호를 내부전원전압(Vint)으로 하여 내부회로(40)로 제공하는 드라이버부(30)로 구성된다.

여기서, 상기 기준전압 발생부(50)는 일정한 제 1기준전압(VR1)을 발생하는 기준전압 발생기(11)와, 제 1입력단으로 기설정된 최종 기준전압을 피드백 입력받고 제 2입력단으로 상기 제 1기준전압을 입력받아 상호 비교하는 비교기(21)와, 상기 비교기(21)에서의 비교결과에 따라 상기 기준전압 변환부(20)로 조정의 최종 기준전압(VR2)을 보내는 전류 드라이버(22)와, 상기 전류 드라이버(22)의 출력단과 접지단 사이에 상호 직렬로 접속된 고정저항(23A)과 가변저항(23B)으로 이루어지고 상기 비교기(21)의 제 2입력단으로 피드백되는 최종 기준전압(VR2)을 가변조정하는 전압조정기(23) 및, 상기 전압조정기(23)의 가변저항(23B)의 저항치를 가변시켜 전압조정기(23)에서의 가변조정동작을 제어하는 가변동작 제어기(24)를 구비한다.

상기한 기준전압 발생부(50)에서 출력되는 최종 기준전압(VR2)은 다음의 식 1과 같다.

<식 1>

$$V_{VR2} = V_{VR1}(1 + Rr2/Rr1)$$

상기 식 1에서  $V_{VR2}$ 는 상기  $Rr1$ 값이 고정되었을 경우  $Rr2$ 의 저항값에 비례함으로 알 수 있고, 상기 가변동작 제어기(24)에서 출력되는 제어신호는 상기  $Rr2$ 의 저항값을 바꾸는데 사용된다.

따라서, 상술한 기준전압 발생부(50)의 경우 기준전압 발생기(11)로부터의 제 1기준전압(VR1)이 비교기(21)의 제 1입력단으로 인가되고, 기설정된 기준전압(VR2)의 변화에 대한 변화분만큼을 가변동작 제어기(24)의 제어에 의해 전압조정기(23)에서 가변조정하여 상기 비교기(21)의 제 2입력단으로 인가함에 따라 비교기(21)에서는 두 입력단으로 입력된 신호를 비교하여 전류 드라이버(22)를 통해 레벨보상된 최적의 기준전압(VR2)을 기준전압 변환부(20)로 제공한다.

도 3은 본 발명의 구성요소중에서 기준전압 발생부(50)의 내부회로를 상세히 나타낸 회로도이다.

저항(R)과 MOS트랜지스터(M1~M4)는 정전압원(VR0)을 제공하는 통상의 원들러 전류소오스로서, 그 출력전압 결과식은 다음의 식 2와 같다.

<식 2>

$$V_{VR0} = V_{vt}(M1) + 2/R\beta_2(1-1/K)$$

여기서,  $K = \sqrt{\beta_1/\beta_2}$ ,  $\beta_1$  및  $\beta_2$ 는 MOS트랜지스터(M1, M2)값이다.

상기 식 2에서 VR0 전위는 MOS트랜지스터(M1)의 문턱전압 및 저항(R)이 상수이면 정전압을 제공함을 알 수 있다.

MOS트랜지스터(M5~M11)는 전압 플로워이고 결과적으로  $V_{VR0} = V_{VR1}$ 이다.

MOS트랜지스터(M12~M16)는 도 2에서의 비교기(21)이고, PMOS트랜지스터(M17)는 도 2에서의 전류 드라이버(22)이며, 다이오드 접속형 PMOS트랜지스터(M18)는 도 2에서의 고정저항(23A)으로서 동작시에 유효한  $Rr1$ (식 1참조)의 값을 결정하고, NMOS트랜지스터(M19~M26)는 도 2에서의 가변저항(23B)으로서 동작시에 유효한  $Rr2$ (식 1참조)의 값을 결정한다.

상기 가변저항(23B)에서 NMOS트랜지스터(M19~M22)의 각각의 게이트에는 가변동작 제어기(24)의 제어신호(f0~f3)가 각각 입력되고, NMOS트랜지스터(M23~M26)의 각각의 게이트는 상기 비교기(21)의 제 2입력단(즉, NMOS트랜지스터(M14)의 게이트)에 접속되는데, 상기 NMOS트랜지스터(M23~M26) 각각의 채널사이즈는 상호 차동적이다.

상기 가변동작 제어기(24)의 제어신호(f0~f3)중에서 어느 하나의 제어신호만 로직하이상태를 갖고 나머지 제어신호는 로직로우상태를 갖게 되는데, 예를 들어 제어신호(f3)가 로직하이이고 나머지 제어신호(f0~f2)는 로직로우인 경우 상기 유효한  $Rr2$ 의 값은 NMOS트랜지스터(M22, M26)가 턴온되어 결정되고, 나머지 NMOS트랜지스터(M19, M20, M21)는 턴오프되어 노드(vb)에서 격리된다.

따라서, 상기 가변저항(23B)의 NMOS트랜지스터(M19~M22) 각각의 채널사이즈가 상호 차동적이고, 가변동작 제어기(24)에서 출력되는 제어신호(f0~f3)중에서 어느 한 제어신호만이 로직하이이므로, 결국 선택된 MOS트랜지스터에 의해 가변저항(23B)의 저항치가 결정되어 상기 비교기(21)의 제 2입력단으로는 종래와는 달리 가변적인 전압(Va)이 인가된다.

도 4는 도 3에 도시된 가변동작 제어기(24)의 상세회로도로서, 다수의 퓨즈 신호(fus1, fus1b; fus2,

fus2b)를 검출하는 퓨즈신호검출부(41)와, 다수의 패드 신호(pads1, pads1b; pads2, pads2b)를 검출하는 패드신호검출부(42)와, 패드신호(pads0, pads0b)를 검출하여 상기 퓨즈신호검출부(41)와 패드신호검출부(42)중 어느 한 검출부를 선택하는 선택부(43) 및, 상기 퓨즈신호검출부(41)와 패드신호검출부(42) 및 선택부(43)로부터의 신호를 조합하여 상기 전압조정기(23)에 대한 제어신호(f0~f3)를 출력하는 제어신호출력부(48)로 구성된다.

상기 퓨즈신호검출부(41)는 제 1퓨즈신호(fus1, fus1b)를 출력하는 제 1퓨즈신호검출부(44)와 제 2퓨즈신호(fus2, fus2b)를 출력하는 제 2퓨즈신호검출부(45)로 구성되는데, 그 제 1퓨즈신호검출부(44)는 전원전압단에 접속된 퓨즈(fs1)와, 퓨즈(fs1)과 접지단 사이에 접속되고 퓨즈 블로잉여부에 따라 소정 레벨의 신호를 유지하는 모스 캐패시터(M1)와 NMOS트랜지스터(M2)와, 그 퓨즈(fs1)와 모스 캐패시터(M1) 사이의 노드(N1)에 상호 직렬로 접속되어 상기 노드(N1)의 신호에 대하여 지연동작을 수행하여 제 1퓨즈신호(fus1, fus1b)로 출력하는 인버터(I1, I2)로 구성되고, 상기 인버터(I1)의 출력단은 상기 NMOS트랜지스터(M2)의 게이트에 접속됨과 더불어 상기 제 1퓨즈신호중 반전신호(fus1b)를 출력하는 출력단이 된다.

상기 제 1퓨즈신호검출부(44)는 퓨즈(fs1)가 블로잉되면 노드(N1)는 로직로우로 되어 로직로우의 퓨즈신호(fus1) 및 로직하이의 퓨즈신호(fus1b)를 출력하고, 블로잉이 되지 않으면 노드(N1)는 로직하이로 되어 로직하이의 퓨즈신호(fus1) 및 로직로우의 퓨즈신호(fus1b)를 출력한다.

상기 제 2퓨즈신호검출부(45)도 역시 상기 제 1퓨즈신호검출부(44)와 동일한 구성으로 이루어지고, 제 1퓨즈신호검출부(44)와 동일한 동작을 수행한다.

상기 패드신호검출부(42)는 제 1패드신호(pads1, pads1b)를 검출하는 제 1패드신호검출부(46)와 제 2패드신호(pads2, pads2b)를 검출하는 제 2패드신호검출부(47)로 구성되는데, 그 제 1패드신호검출부(46)는 패드(pad1)와 접지단 사이에 설치되어 패드(pad1)로의 전원전압 인가여부에 따라 소정 레벨의 신호를 유지하는 모스 캐패시터(M5)와 NMOS트랜지스터(M6)와, 그 패드(pad1)와 모스 캐패시터(M5) 사이의 노드(N3)에 상호 직렬로 접속되어 상기 노드(N3)의 신호에 대하여 지연동작을 수행하여 제 1패드신호(pads1, pads1b)로 출력하는 인버터(I5, I6)로 구성되고, 상기 인버터(I5)의 출력단은 상기 NMOS트랜지스터(M6)의 게이트에 접속됨과 더불어 상기 제 1패드신호중 반전신호(pads1b)를 출력하는 출력단이 된다.

상기 제 1패드신호검출부(46)는 패드(pad1)에 외부전원전압이 가해지면 노드(N3)는 로직하이로 되어 로직하이의 패드신호(pads1) 및 로직로우의 패드신호(pads1b)를 출력하고, 외부전원전압이 가해지지 않으면 노드(N3)는 로직로우가 되어 로직로우의 패드신호(pads1) 및 로직하이의 패드신호(pads1b)를 출력한다.

상기 제 2패드신호검출부(47)도 역시 상기 제 1패드신호검출부(46)와 동일한 구성으로 이루어지고, 상기 제 1패드신호검출부(46)와 동일한 동작을 수행한다.

상기 선택부(43)는 패드(pad0)와 접지단 사이에 설치되어 패드(pad0)로의 전원전압 인가여부에 따라 소정 레벨의 신호를 유지하는 모스 캐패시터(M9)와 NMOS트랜지스터(M10)와, 그 패드(pad0)와 모스 캐패시터(M9) 사이의 노드(N5)에 상호 직렬로 접속되어 상기 노드(N5)의 신호에 대하여 지연동작을 수행하여 선택신호(pads0, pads0b)로 출력하는 인버터(I9, I10)로 구성되고, 상기 인버터(I9)의 출력단은 상기 NMOS트랜지스터(M10)의 게이트에 접속됨과 더불어 상기 선택신호중 반전신호(pads0b)를 출력하는 출력단이 된다.

상기 선택부(43)는 패드(pad0)의 전위 신호를 선택신호(pads0)로 출력하고 반전된 신호를 선택신호(pads0b)로 출력한다. 예를 들어, 패드(pad0) 신호가 로직로우이면 선택신호(pads0)는 로직로우 이어서 상기 퓨즈신호검출부(41)에서 검출된 신호를 최종출력(f0~f3)에 전송하게 하고, 동시에 선택신호(pads0b)는 로직하이이므로 상기 패드신호검출부(42)에서 검출된 신호를 최종출력(f0~f3)에 전송하지 못하게 한다.

반대로, 패드(pad0)신호가 로직하이이면 선택신호(pads0)는 로직하이이어서 상기 퓨즈신호검출부(41)에서 검출된 신호를 최종출력(f0~f3)에 전송하지 못하게 하고, 동시에 선택신호(pads0b)는 로직로우이므로 상기 패드신호검출부(42)에서 검출된 신호를 최종출력(f0~f3)에 전송하게 한다.

상기 제어신호출력부(48)는 4개의 제어신호출력부(48A~48D)로 구성되는데, 제 1제어신호출력부(48A)는 선택부(43)로부터의 선택신호(pads0b)와 제 1패드신호검출부(46)로부터의 검출신호(pads1) 및 제 2패드신호검출부(47)로부터의 검출신호(pads2)를 입력받아 노어(NOR)처리하는 노어게이트(K1)와, 선택부(43)로부터의 선택신호(pads0)와 제 1퓨즈신호검출부(44)로부터의 검출신호(fus1b) 및 제 2퓨즈신호검출부(45)로부터의 검출신호(fus2b)를 입력받아 노어(NOR)처리하는 노어게이트(K2)와, 상기 노어게이트(K1, K2)의 출력신호를 입력받아 노어처리하는 노어게이트(K3) 및, 그 노어게이트(K3)의 출력신호를 반전시켜 가변저항(23B)의 NMOS트랜지스터(M19)를 스위칭제어하는 제 1제어신호(f0)로 출력하는 인버터(K4)로 구성된다.

제 2제어신호출력부(48B)는 선택부(43)로부터의 선택신호(pads0b)와 제 1패드신호검출부(46)로부터의 검출신호(pads1b) 및 제 2패드신호검출부(47)로부터의 검출신호(pads2)를 입력받아 노어(NOR)처리하는 노어게이트(K5)와, 선택부(43)로부터의 선택신호(pads0)와 제 1퓨즈신호검출부(44)로부터의 검출신호(fus1) 및 제 2퓨즈신호검출부(45)로부터의 검출신호(fus2b)를 입력받아 노어(NOR)처리하는 노어게이트(K6)와, 상기 노어게이트(K5, K6)의 출력신호를 입력받아 노어처리하는 노어게이트(K7) 및, 그 노어게이트(K7)의 출력신호를 반전시켜 가변저항(23B)의 NMOS트랜지스터(M20)를 스위칭제어하는 제 2제어신호(f1)로 출력하는 인버터(K8)로 구성된다.

제 3제어신호출력부(48C)는 선택부(43)로부터의 선택신호(pads0b)와 제 1패드신호검출부(46)로부터의 검출신호(pads1) 및 제 2패드신호검출부(47)로부터의 검출신호(pads2b)를 입력받아 노어(NOR)처리하는 노어게이트(K9)와, 선택부(43)로부터의 선택신호(pads0)와 제 1퓨즈신호검출부(44)로부터의

검출신호(fus1b) 및 제 2퓨즈신호검출부(45)로부터의 검출신호(fus2)를 입력받아 노어(NOR)처리하는 노어게이트(K10)와, 상기 노어게이트(K9, K10)의 출력신호를 입력받아 노어처리하는 노어게이트(K11) 및, 그 노어게이트(K11)의 출력신호를 반전시켜 가변저항(23B)의 NMOS트랜지스터(M21)를 스위칭제어하는 제 3제어신호(f2)로 출력하는 인버터(K12)로 구성된다.

제 4제어신호출력부(48D)는 선택부(43)로부터의 선택신호(pads0b)와 제 1패드신호검출부(46)로부터의 검출신호(pads1b) 및 제 2패드신호검출부(47)로부터의 검출신호(pads2b)를 입력받아 노어(NOR)처리하는 노어게이트(K13)와, 선택부(43)로부터의 선택신호(pads0)와 제 1퓨즈신호검출부(44)로부터의 검출신호(fus1) 및 제 2퓨즈신호검출부(45)로부터의 검출신호(fus2)를 입력받아 노어(NOR)처리하는 노어게이트(K14)와, 상기 노어게이트(K13, K14)의 출력신호를 입력받아 노어처리하는 노어게이트(K15) 및, 그 노어게이트(K15)의 출력신호를 반전시켜 가변저항(23B)의 NMOS트랜지스터(M22)를 스위칭제어하는 제 4제어신호(f3)로 출력하는 인버터(K16)로 구성된다.

본 발명의 실시예에서는 2비트의 퓨즈 및 2비트의 패드신호를 이용하여 4가지의 제어신호(f0~f3)를 생성하였는데, 필요에 따라서는 그 퓨즈신호 및 패드신호의 비트수를 증가시켜 그 제어신호의 수를 증가시킬 수 있다.

이어, 퓨즈 및 패드신호상태에 따른 최종적인 제어신호(f0~f3)의 생성에 대해 다음의 표 1을 참조하여 설명한다.

[표 1]

	pad0	pad1	pad2	fs1	fs2	f0	f1	f2	f3
1	0	d	d	0	0	0	0	0	1
2	0	d	d	1	0	0	0	1	0
3	0	d	d	0	1	0	1	0	0
4	0	d	d	1	1	1	0	0	0
5	1	0	0	d	d	0	0	0	1
6	1	1	0	d	d	0	0	1	0
7	1	0	1	d	d	0	1	0	0
8	1	1	1	d	d	1	0	0	0

상기 표 1의 pad0~pad2에서 "0"은 로직로우, "1"은 로직하이상태를 의미하고, fs1 및 fs2에서 "0"은 퓨즈 블로잉, "1"은 퓨즈 블로잉이 되지 않은 상태를 의미하며, "d"는 "무시(don't care)"상태를 의미한다.

상기 표 1의 결과를 정리하면, 패드(pad0)의 신호상태에 따라 2비트 퓨즈 또는 패드검출상태는 서로 대응하는 최종출력신호를 생성하게 된다.

즉, 상기 표 1에서 1~4의 경우는 패드(pad0) 신호가 로직로우이므로 퓨즈신호 프로그램으로 제어신호(f0~f3)의 상태를 정할 수 있고, 상기 표 1에서 5~8의 경우는 패드(pad0) 신호가 로직하이이므로 퓨즈 블로잉전에 패드신호 프로그램으로 제어신호(f0~f3)의 상태를 정할 수 있다.

#### 발명의 효과

이상 설명한 바와 같은 본 발명에 의하면, 가변동작 제어기를 이용하여 기준전압의 전위조정 테스트를 실현함으로써 내부전원전압의 변화에 대응하는 안정된 전압을 퓨즈 블로잉전에 찾을 수 있고, 그 측정된 결과를 이용하여 기준전압 전위조정 퓨즈 블로잉을 실현할 수 있으며, 결과적으로 내부전원전압 레벨조정 테스트를 정확하게 행할 수 있을 뿐만 아니라 테스트시간을 줄이게 된다.

한편 본 발명은 상술한 실시예로만 한정되는 것이 아니라 본 발명의 요지를 벗어나지 않는 범위내에서 수정 및 변형하여 실시할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

퓨즈 블로잉전에 기설정된 기준전압의 변화에 따른 레벨보상된 최적의 기준전압을 가변적으로 발생하는 기준전압 발생수단과,

상기 기준전압 발생수단으로부터의 기준전압을 입력받아 현재 설정되는 정상모드 또는 스트레스모드에 대한 전압으로 변환시키는 기준전압 변환수단 및,

상기 기준전압 변환수단으로부터의 신호를 내부전원전압으로 하여 내부회로로 제공하는 드라이버수단을 구비하는 것을 특징으로 하는 내부전압 강화회로.

##### 청구항 2

제 1항에 있어서, 상기 기준전압 발생수단은 일정한 제 1기준전압을 발생하는 기준전압 발생기와, 기설정된 최종 기준전압을 피드백 입력받고 상기 제 1기준전압을 입력받아 상호 비교하는 비교기와, 상기 비교기에서의 비교결과에 따라 상기 기준전압 변환수단으로 소정의 최종 기준전압을 보내는 전류 드라이버와, 상기 비교기로 피드백되는 최종 기준전압을 가변조정하는 전압조정기 및, 상기 전압조정기에서의 가변조정동작을 제어하는 제어신호를 출력하는 가변동작 제어기를 구비하는 것을 특징으로 하는 내부전압

강하회로.

### 청구항 3

상기 제 2항에 있어서, 상기 전압조정기는 상기 전류 드라이버와 접지단 사이에 상호 직렬로 접속된 고정저항과 가변저항으로 구성된 것을 특징으로 하는 내부전압 강하회로.

### 청구항 4

제 3항에 있어서, 상기 가변저항은 상기 고정저항의 일단에 접속되고 상기 가변동작 제어기로부터의 제어신호에 의해 각각 스위칭동작하는 다수의 MOS트랜지스터와, 상기 다수의 MOS트랜지스터와 접지단 사이에 접속되고 상기 비교기로 패드백되는 최종 기준전압의 레벨에 의해 스위칭동작하며 상호간의 채널 사이즈가 차등적인 다수의 MOS트랜지스터로 구성된 것을 특징으로 하는 내부전압 강하회로.

### 청구항 5

제 2항에 있어서, 상기 가변동작 제어기는 다수의 퓨즈 신호를 검출하는 퓨즈신호검출부와, 다수의 패드 신호를 검출하는 패드신호검출부와, 패드신호를 검출하여 상기 퓨즈신호검출부와 패드신호검출부중 어느 한 검출부를 선택하는 선택부 및, 상기 퓨즈신호검출부와 패드신호검출부 및 선택부로부터의 신호를 조합하여 상기 전압조정기에 대한 제어신호를 출력하는 제어신호출력부로 구성된 것을 특징으로 하는 내부전압 강하회로.

### 청구항 6

제 5항에 있어서, 상기 퓨즈신호검출부는 전원전압단에 접속된 퓨즈와, 상기 퓨즈와 접지단 사이에 접속되고 퓨즈 블로잉여부에 따라 소정레벨의 신호를 유지하는 모스 캐패시터와 NMOS트랜지스터와, 상기 퓨즈와 모스 캐패시터 사이의 노드에 상호 직렬로 접속되어 상기 노드의 신호를 신호처리하여 퓨즈신호를 출력하는 인버터로 된 제 1 및 제 2퓨즈신호검출회로를 구비하는 것을 특징으로 하는 내부전압 강하회로.

### 청구항 7

제 6항에 있어서, 상기 패드신호검출부는 패드와 접지단 사이에 설치되어 상기 패드로의 전원전압 인가여부에 따라 소정 레벨의 신호를 유지하는 모스 캐패시터와 NMOS트랜지스터와, 상기 패드와 모스 캐패시터 사이의 노드에 상호 직렬로 접속되어 상기 노드의 신호를 신호처리하여 패드신호를 출력하는 인버터로 된 제 1 및 제 2패드신호검출회로를 구비하는 것을 특징으로 하는 내부전압 강하회로.

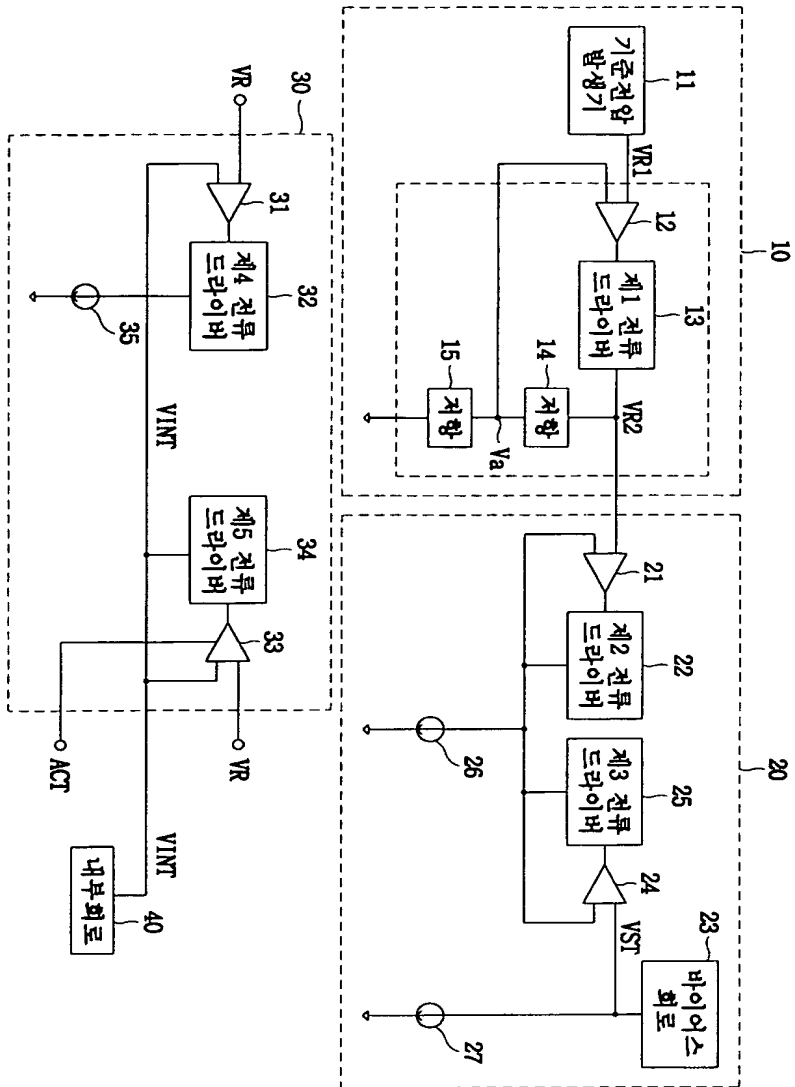
### 청구항 8

제 7항에 있어서, 상기 선택부는 패드와 접지단 사이에 설치되어 상기 패드로의 전원전압 인가여부에 따라 소정 레벨의 신호를 유지하는 모스 캐패시터와 NMOS트랜지스터와, 상기 패드와 모스 캐패시터 사이의 노드에 상호 직렬로 접속되어 상기 노드의 신호를 신호처리하여 선택신호를 출력하는 인버터로 구성되는 것을 특징으로 하는 내부전압 강하회로.

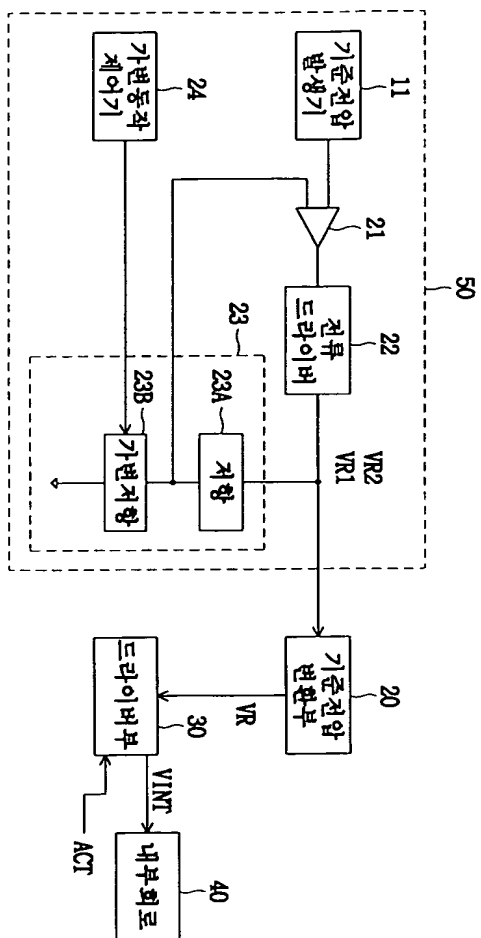
### 청구항 9

제 8항에 있어서, 상기 제어신호출력부는 상기 선택부로부터의 선택신호와 상기 제 1패드신호검출회로로부터의 검출신호 및 상기 제 2패드신호검출회로로부터의 검출신호를 입력받아 노어처리하는 제 1노어게이트와, 상기 선택부로부터의 선택신호와 상기 제 1퓨즈신호검출회로로부터의 검출신호 및 상기 제 2퓨즈신호검출회로로부터의 검출신호를 입력받아 노어처리하는 제 2노어게이트와, 상기 제 1 및 제 2노어게이트의 출력신호를 입력받아 노어처리하는 제 3노어게이트 및, 상기 제 3노어게이트의 출력신호를 반전시켜 제어신호로 출력하는 인버터로 된 제 1 및 제 4제어신호출력회로를 구비한 것을 특징으로 하는 내부전압 강하회로.

도면

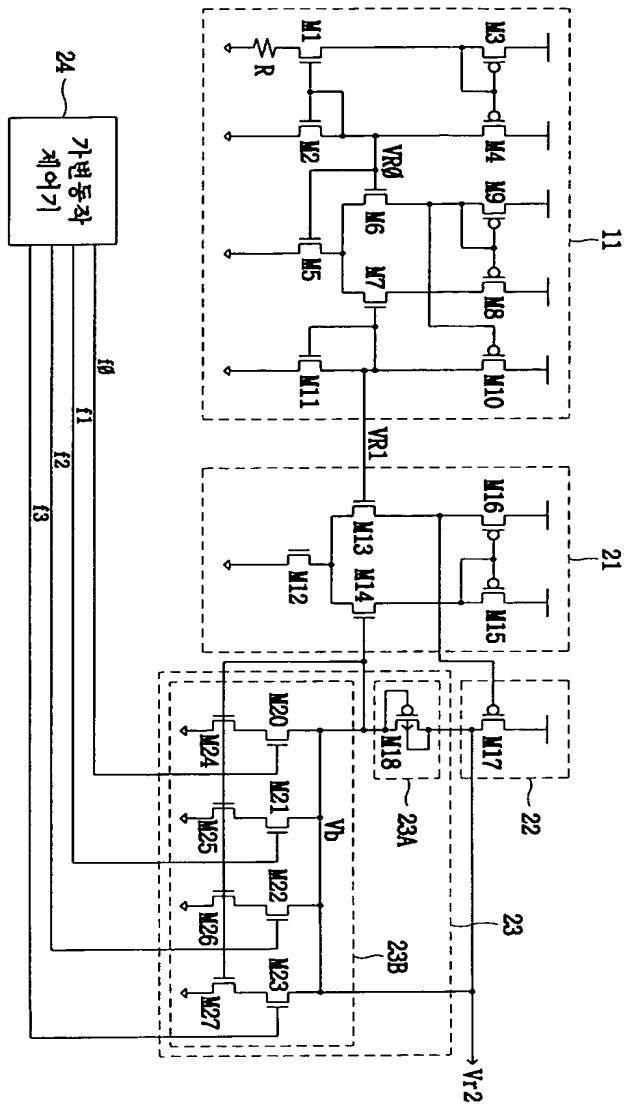


1면



도면2





도면3

도면4

